

DENEY RAPORU

|  |  |
| --- | --- |
| **Deney Adı** | Lojik Kapılar ve İkili devreler |
| **Deneyi Yaptıran Ar. Gör.** | Araş. Gr Atilla Uygur |
| **Raporu Hazırlayan**  **(İsim / Numara / Bölüm)** | Mehmet Fatih Bakacak / 040080472 / Telekomünikasyon Müh. |
| **Grup Numarası ve**  **Deney Tarihi** | C- 31 09.12.2011 |

|  |  |  |
| --- | --- | --- |
| **Rapor Notu** | **Teslim Edildiği Tarih** | **Teslim Alındığı Tarih** |
|  | 16/12/2011 |  |

**1.Deney**

Bu deney için bir NAND tümdevresi olan CD4011B kullanılmıştır. Cadet üzerine yerleştirilen NAND tümdevresine anahtarlar vasıtası ile iki giriş verilmiş ve alınan çıkış ledlerde gözlenmiştir.

Bu işlem öncesinde lojik işlemler kullanılarak NAND kapısının doğruluk tablosu oluşturulmuştur. Buna göre verilen girişlere göre NAND kapısının davranışı aşağıdaki gibidir:

|  |  |  |
| --- | --- | --- |
| X | Y | Z |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Bu zaten beklenen bir sonuçtu NAND kapısının doğruluk tablosu teorikten de bildiğimiz üzere yukarıdaki gibidir.

**2.Deney**

Bu deney için Şekil- 6.13 deki SR- çift kararlı ikili devresi kurulduBu deneyde yapılan işlem NAND veya NOR kapıları kullanılarak girişlerdeki değerlere göre çıkışı iki seviyede değer alabilen ve bu seviyelerin her ikisinde de kararlı olabilen devreler incelenmiştir. Bu deney için Şekil- 6.13 deki SR- çift kararlı ikili devresi NOR kapıları ile kurulmuştur, bizim yapmamız gereken bu devreyi NAND kapıları kullanarak kurmaktır. Devre kurulmuş analizi yapılmıştır ve bulunan doğruluk tablosu aşağıdaki şekilde verilmiştir.

|  |  |  |  |
| --- | --- | --- | --- |
| S | R | Qa+1 | Q’a+1 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | Qa | Q’a |

(Yasaklı Girişler)

Bu durumda devre herhangi bir çıkış seviyesinde iken S = 0 R = 1 girişi uygulanırsa çıkış Q = 0, Q’= 1 değerini alır, bu durumda S = 1 konumuna getirilirse devrenin çıkışı değerini korur, böyle iken R = 0 yapılırsa çıkış Q = 1, Q’ = 0 olur. Her iki girişin “ 0 ” yapılması durumunda devre düzgün çalışmaz, çünkü bu durumda Q ve Q’ çıkışlarının her ikisi de “ 1 ” değerini alır ki bu lojik işlemler açısından mümkün değildir.(Bir lojik değişkenin kendisi ve evriği aynı değeri alamaz.) Bu yüzden bu girişler yasaklı girişler olarak nitelendirilir.

**3.Deney**

Bu deney için aşağıdaki şekildeki devre kurulmuştur

Vin

Vout

I

II

III

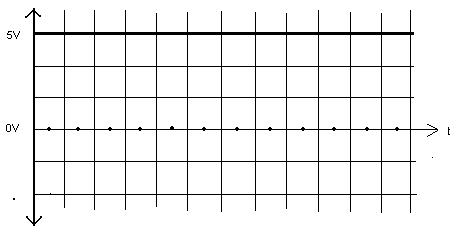
IV

Devrenin girişine 1 kHz’lik bir işaret uyguladık ve çıkışı gözlemlemeye çalıştık.

**Vc Grafiği:**

Deneyden sonucunda Vc’nin kararlı halinin 2.NAND kapısından gelen işarete bağlı olduğu Vc nin zamanla değişimi grafiğine bakılarak da anlaşılabilir. Önceki deneylerde NAND kapısının çıkışının lojik 1 olması için girişlerden sadece birinin lojik 0 olması gerektiğini görmüştük.

2. NAND kapısının çıkışından 1.NAND kapısının girişine lojik 0 gelme süresi lojik 1 gelme süresinden çok fazla olduğu için 1.NAND kapısının çıkışının kararlı durumunun lojik 1 olduğu görülür. 2. NAND kapısının çıkışından çok kısa süre 1 gelmesi durumunda ise tranzistor ile Vcc den lojik 1 geldiği sürede Vc sıfıra iner. 0 geldiğinde konumunu değiştirmez. Grafikte de görüldüğü gibi Vc’nin lojik 0 olduğu durumlar lojik 1 olduğu durumların yanında ihmal edilebilir. Daha önce belirtildiği tek kararlı devrelerin dışarıdan bir uyarı gelmedikçe konumunu değiştirmediği görüldü. Dışarıdan gelen etkinin deneyimizde transistor ile Vcc geriliminin verilmesi olarak belirlendi.



**4. Deney**

Bu deney için de şekil 6-16 daki devre çizilmiştir. Deney sonucu elde edilen VR  grafiği şekildeki gibidir,

-2,5V

5V

2,5V

V

t

Bunun yanında III noktasının başlangıç durumundaki gerilim değeri 0 volttur. Başlangıçta kondansatör yüksüz olduğundan ve ne kondansatöre ne de NAND kapısının girişine doğru bir akım akamadığından direnç aracılığıyla toprak değeri bu noktada da görülür. Buna göre başlangıç anında çıkışın değeri lojik 1’dir.

Bu çıkış doğrudan birinci NAND kapısının bir girişine iletilir. Diğer girişe 3.deneydeki grafiği çizilen işaret uygulanır. Buna göre 0 geldiği anda birinci NAND kapısının çıkışı yani II noktası lojik 1 durumuna çekilir. Bu durumda kondansatör III noktasının gerilimi de lojik 1 yani 5V değerine çekilmeye çalışılır. Böylece devrenin çıkışı bu işaretin evriği yani lojik 0’dır. Bu işaret birinci NAND kapısının girişine uygulandığı andan itibaren devre diğer girişten bağımsız olmuş olur.

Ancak III noktasında elde edilen gerilim değeri zamanla direnç üzerinden boşalma eğilimi gösterecektir. Buna göre III noktasının gerilimi direncin değerine bağlı olarak düşecek ve devre bir süre sonra (teoride yaklaşık 2,5 V) lojik 1’den lojik 0 değerine geçiş yapacaktır. Buna göre devrenin çıkışı bir anda lojik 1’e çıkacakve birinci NAND kapısının girişlerine lojik 1 değerleri uygulanmış olacaktır.

Buna göre birinci NAND kapısı lojik 0 üretir ve bu olay kondansatör aracılığıyla III noktasını etkiler. Kondansatörün üzerinde hala yaklaşık 2,5 V gerilim olduğundan bir tarafı 0 V iken diğer tarafını -2,5 V değerine getirecektir. Bu an devrenin III noktasında ilk kez negatif bir yük görüldüğü andır.

Bu andan itibaren direncin bir ucu 0 diğer ucu -2,5 V olduğundan direnç üzerinden öncekine ters yönlü bir akım oluşacak ve III noktasının gerilimi tekrar lojik 0’a doğru çekilecektir.

Bu durum yeniden bir step işaret gelene kadar devam eder. Sonra yeniden başlar.